

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03250914 A**

(43) Date of publication of application: **08 . 11 . 91**

(51) Int. Cl

H03K 5/13

G06F 1/10

H01L 27/082

H03K 5/00

(21) Application number: **02049901**

(71) Applicant: **NEC CORP**

(22) Date of filing: **28 . 02 . 90**

(72) Inventor: **SOFUE TOSHIHARU**

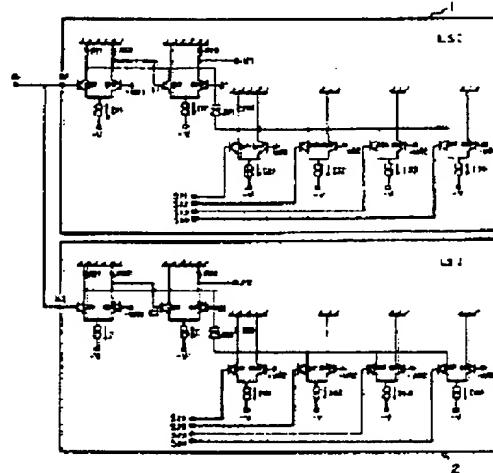
(54) **CLOCK SKEW ADJUSTMENT CIRCUIT**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To set a delay time between a clock input section of an LSI and a register to a prescribed time by outputting a noninverting output and an inverting output of a 1st ECL circuit to a 2nd ECL circuit so as to control a capacitance of a varactor diode connecting to either of the noninverting output and the inverting output of the 1st ECL circuit.

CONSTITUTION: When a control signal S11 is set to a high level and control signals S12-S14 are set to a low level, a current I31 flows to a resistor R14, the capacitance of a varactor diode D11 is increased, the waveform at a node d1 is made dull and a delay time between contacts b1-e1 is changed. Thus, the delay time between the contacts b1-e1 is set to a prescribed time by controlling the current flowing to the resistor R14 to vary the capacitance of the varactor diode D11. Similarly, the delay time between contacts b2-e2 is set to a prescribed time by controlling the current flowing to a resistor R24 to vary the capacitance of a varactor diode D21.



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平3-250914

⑬ Int. Cl.⁵
 H 03 K 5/13
 G 06 F 1/10
 H 01 L 27/082
 H 03 K 5/00

識別記号

庁内整理番号
7125-5J

⑬ 公開 平成3年(1991)11月8日

G 7125-5J

7459-5B G 06 F 1/04
7210-5F H 01 L 27/08

3 3 0 A
1 0 1 L

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 クロック・スキー調節回路

⑮ 特願 平2-49901

⑯ 出願 平2(1990)2月28日

⑰ 発明者 祖父江 敏晴 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代理人 弁理士 内原 晋

明細書

発明の名称

クロック・スキー調節回路

特許請求の範囲

第1のECL回路と、前記第1のECL回路の正相出力と逆相出力と差動増幅部を構成する2つのトランジスタの入力とする第2のECL回路と、前記第1のECL回路の正相出力と逆相出力のうち一方に接続される可変容量ダイオードと、前記可変容量ダイオードの電圧を制御する複数の差動増幅器とを含むことを特徴とするクロック・スキー調節回路。

発明の詳細な説明

【産業上の利用分野】

本発明はクロック・スキー調節回路に関する。

【従来の技術】

従来のクロック・スキー調節回路は、LSIのクロック入力部でのスキー調節を行うのみか、あるいはLSIのクロック入力部からレジスタまでにいくつかのバスを用意し、あらかじめ1つのバスを選択しておき、動作不良の場合順番に別のバスに変更し、良好なバスを決定していた。

【発明が解決しようとする課題】

上述したように、従来のクロック・スキー調節回路は、LSIのクロック入力部でのスキー調節のみのため、LSI内部のクロック・スキー調節ができないか、あるいはクロック入力部からレジスタまでいくつかのバスを用意し、あらかじめ1つのバスを選択し、動作不良の場合に他のバスを順番に試みる手段であるため作業が困難であり、微妙な調節ができないという欠点がある。

【課題を解決するための手段】

本発明のクロック・スキー調節回路は、第1のECL回路と、前記第1のECL回路の正相出

力と逆相出力を差動増幅部を構成する2つのトランジスタの入力とする第2のECL回路と、前記第1のECL回路の正相出力と逆相出力のうち一方に接続される可変容量ダイオードと、前記可変容量ダイオードの電圧を制御する複数の差動増幅器とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す回路図である。

LSI 1内に抵抗R11, R12, トランジスタQ11, Q12および定電流源I11で構成された第1のECL回路と、抵抗R13, トランジスタQ13, Q14および定電流源I12で構成された第2のECL回路と、可変容量ダイオードD11と、抵抗R14と、トランジスタQ31, Q32および定電流源I31、トランジスタQ33, Q34および定電流源I32、トランジスタQ35, Q36および定電流源I33、

トランジスタQ13, Q14の一方を基準電圧とし、他方に第1のECL回路の正相出力または逆相出力のうち片方を入力し、なまらせた場合、第2のECL回路の出力（接点e1の波形）もなまってしまうが、本回路では、第1のECL回路の正相出力および逆相出力の両方を入力としているので、入力波形のなまりの影響が受けにくい。

同様にしてLSI2においても、接点b2～接点e2間の遅延時間をスイッチS21～S24の組合せにより抵抗R24に流れる電流を制御し、可変容量ダイオードD21の容量を変化させることによりある一定の時間とすることができる。

以上のようにLSI1における接点b1～接点e1間、LSI2における接点b2～接点e2間の遅延時間がある一定の時間にそれぞれ調整することにより、LSI1とLSI2間のクロック・スキューを減少することができる。

〔発明の効果〕

以上説明したように本発明は、第1のECL回路の正相出力と逆相出力を第2のECL回路の入

トランジスタQ37, Q38および定電流源I34で構成された各差動増幅器が第1図に示すように接続されている。

いま、制御信号S11～S14をすべてLowレベルとした場合の節点b1, c1, d1, e1の波形の状態を第2図に示す。

ここで制御信号S11～S14のうちのいくつかをHighレベルとする。例えば制御信号S11をHighレベルとし、制御信号S12～S14をLowレベルとすると、抵抗R14には電流I31が流れ、可変容量ダイオードD11の容量が増加し、節点d1の波形がなまり、接点b1～接点e1間の遅延時間が変化する。第3図参照。

制御信号S11～S14の組合せにより、抵抗R14に流れる電流を制御し、可変容量ダイオードD11の容量を変化させることにより、接点b1～接点e1間の遅延時間がある一定の時間とすることができる。

第2のECL回路において、差動増幅部トラン

ジスタQ13, Q14の一方を基準電圧とし、他方に第1のECL回路の正相出力および逆相出力のうち一方に接続した可変容量ダイオードの容量を制御することにより、LSIのクロック入力部～レジスタ間の遅延時間をある一定の時間に設定することができ、他のLSIも同様に調節できるので、LSI間のクロック・スキューを減少させることができる。第2のECL回路の入力を容量でなまらせることにより出力波形への影響も少ないと効果がある。

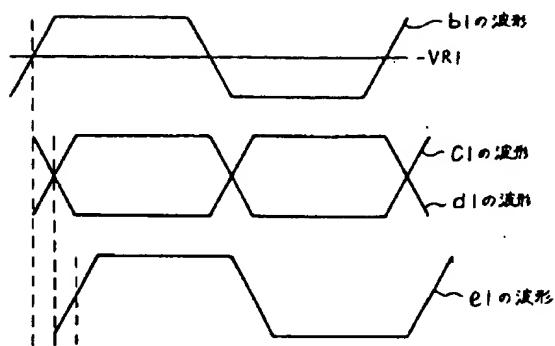
図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図および第3図は第1図の動作を説明するためのタイミング図である。

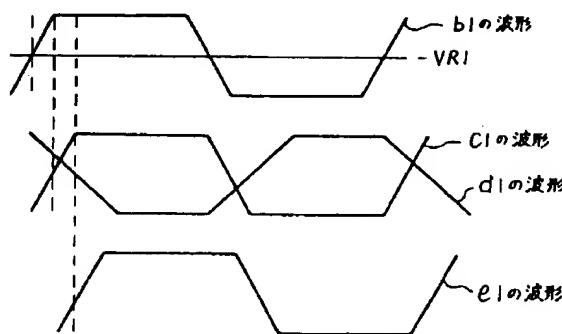
1, 2…LSI, Q11～Q14, Q21～Q24, Q31～Q38, Q41～Q48…トランジスタ、R11～R14, R21～R24…抵抗、D11, D21…可変容量トランジスタ、I11, I12, I21, I22, I31～I34, I41～I44…定電流源、a, b1,

b2, c1, c2, d1, d2, e1, e2…接点、S11～S14, S21～S24…制御信号。

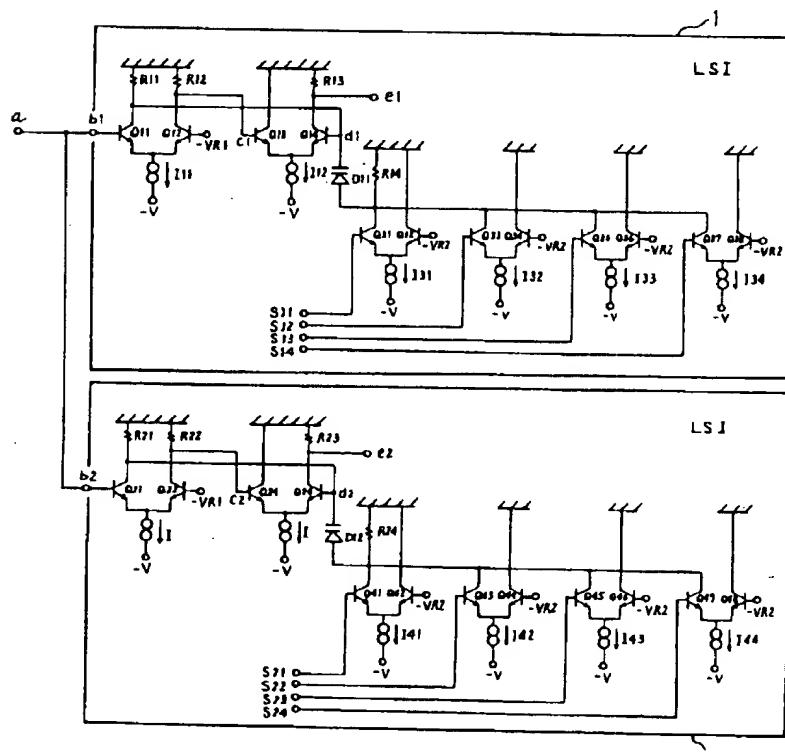
代理人 弁理士 内 原 晋



第2図



第3図



第1図